

**DISPLAY DEVICE**

**Patent number:** JP2001343941  
**Publication date:** 2001-12-14  
**Inventor:** YAMAMOTO TSUNENORI; HIYAMA IKUO; KOMURA SHINICHI; AOYAMA TETSUYA; AKIMOTO HAJIME; FUNAHATA KAZUYUKI; KUWABARA KAZUHIRO  
**Applicant:** HITACHI LTD  
**Classification:**  
- international: G09G3/36; G02F1/133; G09G3/20  
- european:  
**Application number:** JP20000160825 20000530  
**Priority number(s):**

Also published as:



US6894671 (B2)



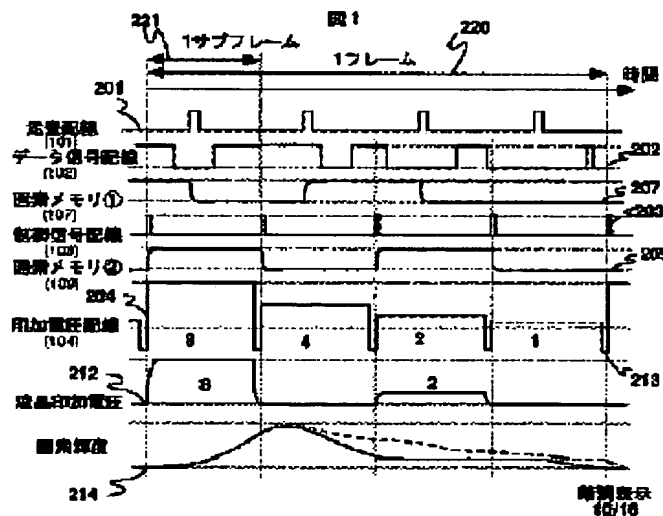
US2001048420 (A1)

Report a data error here

**Abstract of JP2001343941**

**PROBLEM TO BE SOLVED:** To provide a bright display device credited with high performance which is capable of rewriting and displaying a picture at high speed while coping sufficiently to the increase of a display frequency by an optical modulation element whose response speed is slow.

**SOLUTION:** In a display device in which the mapping of display data and the imparting of gradation information are separated, one frame period 220 is divided into plural sub-frames 221 and multi-gradation display is performed by a luminance gradation modulation by applying an independent voltage 221 to a display panel for every sub-frame 221. As a result, even when the optical modulation element whose response speed is low is used in this device, the display frequency can be a high frequency and the multi-gradation display which has bright and high performance is obtained.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-343941

(P2001-343941A)

(43)公開日 平成13年12月14日 (2001. 12. 14)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード <sup>*</sup> (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	5 7 0	G 0 2 F 1/133	5 7 0 5 C 0 0 6
	5 7 5		5 7 5 5 C 0 8 0
G 0 9 G 3/20	6 2 4	G 0 9 G 3/20	6 2 4 B
	6 4 1		6 4 1 E
審査請求 未請求 請求項の数16 O L (全 17 頁)			

(21)出願番号 特願2000-160825(P2000-160825)

(22)出願日 平成12年5月30日(2000. 5. 30)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 山本 恒典

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(72)発明者 桧山 郁夫

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(74)代理人 100078134

弁理士 武 顕次郎

最終頁に続く

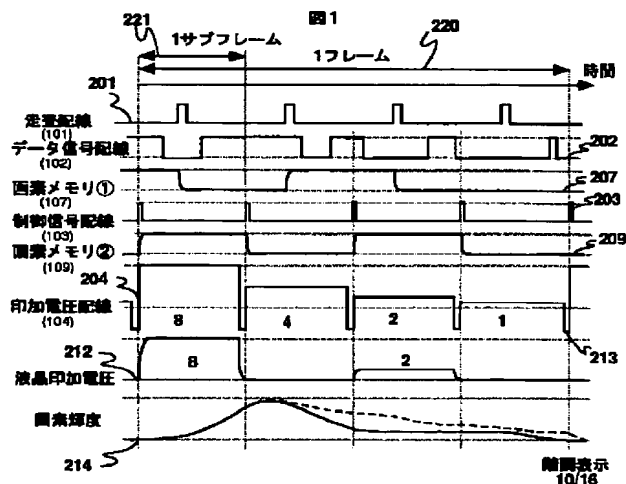
(54)【発明の名称】 表示装置

(57)【要約】

【課題】 応答速度の遅い光学変調素子で表示周波数の増大に充分に対応して画像を高速で書換表示できる明るくて高性能の表示装置を提供すること。

【解決手段】 表示データのマッピングと階調情報付与が分離している表示装置において、1フレーム期間220を複数のサブフレーム221に分け、これらサブフレーム221ごとに独立した電圧212を印加し、輝度階調変調により多階調表示するようにしたもの。

【効果】 応答速度が遅い光学変調素子を使用した場合でも表示周波数を高周波数化することができ、明るくて高性能の多階調表示が得られる。



## 【特許請求の範囲】

【請求項1】 各画素の光学変調素子に対する表示データのマッピングと階調情報の付与を分離して実行する方式の表示装置において、

1フレームの表示期間を複数のサブフレーム期間に分割し、

前記光学変調素子に対する入力値を前記複数のサブフレーム期間毎に独立して制御することにより、

前記光学変調素子による階調表示が得られるように構成したことを特徴とする表示装置。

【請求項2】 請求項1に記載の発明において、前記光学変調素子が5ミリ秒以上の応答速度の液晶で構成されていることを特徴とする表示装置。

【請求項3】 請求項1又は請求項2に記載の発明において、

前記光学変調素子に対する表示データのマッピングが、ほぼ直交した2本の信号配線と、その交点に配置された第1のアクティブ素子を用い、表示データを各画素の第1のメモリにマッピングする処理により与えられるように構成され、

前記光学変調素子に対する階調情報の付与が、前記第1のメモリにマッピングされた表示データを各画素内の第2のアクティブ素子により第2のメモリに転送し、転送された表示データに従って、第3のアクティブ素子により入力値を光学変調素子に転送する処理により与えられるように構成されていることを特徴とする表示装置。

【請求項4】 請求項1又は請求項2に記載の発明において、

前記光学変調素子に対する表示データのマッピングが、前記各画素に1段ずつ内蔵されているシフトレジスタを用い、表示データを各画素の第1のメモリにマッピングする処理で構成され、

前記光学変調素子に対する階調情報の付与が、前記第1のメモリに転送された表示データに従って、第2のアクティブ素子により入力値を光学変調素子に転送する処理により与えられるように構成されていることを特徴とする表示装置。

【請求項5】 請求項1に記載の発明において、前記画素に対する表示データのマッピングと同時に、第1の階調情報が付与され、

該マッピングとは独立に、前記画素に対して第2の階調情報が付与され、

これら第1の階調情報と第2の階調情報を同時に使用して、前記サブフレーム毎の輝度階調変調が与えられ、階調表示が得られるように構成されていることを特徴とする表示装置。

【請求項6】 請求項1～請求項5に記載の発明の何れかにおいて、

表示すべき階調数が概2の $n$ 乗の画像を表示する場合、

1画面を表示する期間である1フレーム期間を $n$ 個の等時間のサブフレームに分割し、

各サブフレームにおける各画素は、予めマッピングされた表示データに従って表示状態若しくは非表示状態に選択され、

各サブフレームにおける表示すべき画素の輝度階調に対する入力値が相互に異なっているように構成されていることを特徴とする表示装置。

【請求項7】 請求項6に記載の発明において、前記各サブフレームにおいて表示すべき画素の輝度階調に対する入力値が、最も低い輝度階調に対する入力値を1Bとしたとき、1B、2B、 $2^2$ B、……、 $2^n$ Bのいずれかになるように構成されていることを特徴とする表示装置。

【請求項8】 請求項6又は請求項7の発明において、前記各サブフレームにおける表示すべき画素の輝度階調に対する入力値の全てのサブフレームでの総和値、若しくは実効値が、前記光学変調素子を飽和輝度出力させるに要する入力値とほぼ等しくなるように構成されていることを特徴とする表示装置。

【請求項9】 請求項1の発明において、或るフレーム若しくは或るサブフレームにおける画素が、時間的に前のフレーム若しくはサブフレームにおける画素の情報を利用して表示されるように構成されていることを特徴とする表示装置。

【請求項10】 請求項1～請求項5に記載の何れかの発明において、

階調数が概2の $n$ 乗である画像を表示する場合、1画面を表示する期間である1フレーム期間を $n$ 個以下の等時間のサブフレームに分割し、各サブフレームにおける各画素は予めマッピングされた表示データに従って前サブフレームの輝度階調に対する入力値を保持するか、新規に入力値を印加されるかを選択されており、各サブフレームにおいて新規に印加される輝度階調に対する入力値が相互に異なっていることを特徴とする表示装置。

【請求項11】 請求項10に記載の発明において、前記各サブフレームにおいて新規に印加される輝度階調に対する入力値が、

表示すべき画像の階調情報を検出し、その結果に従って調整されるように構成されていることを特徴とする表示装置。

【請求項12】 請求項11に記載の発明において、前記表示すべき階調数が略2の $n$ 乗になっている画像を表示する場合、

前記1フレーム期間が $n$ 個未満の等時間のサブフレームに分割されていることを特徴とする表示装置。

【請求項13】 請求項11又は請求項12に記載の発明において、

表示すべき画像の階調数を検出し、この階調数の結果結

果に依じて1フレーム期間におけるサブフレーム数が調節されるように構成されていることを特徴とする表示装置。

【請求項14】 請求項11又は請求項12に記載の発明において、

表示画像の階調数を変更することにより、1フレーム期間におけるサブフレーム数が調整され、駆動周波数が調整できるように構成されていることを特徴とする表示装置。

【請求項15】 請求項11又は請求項12に記載の発明において、

表示画像の階調数の変更により、1フレーム期間におけるサブフレーム数が調整され、1フレームの時間が調整できるように構成されていることを特徴とする表示装置。

【請求項16】 請求項10～請求項15に記載の発明の何れかにおいて、

各フレーム毎に、各サブフレームにおいて新規に印加される輝度階調に対する入力値を調整することにより、数フレーム間にわたって表示される画像の階調数が調整されるように構成されていることを特徴とする表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、光学変調素子を含む表示装置に係り、特に輝度階調変調方式の表示装置に関するものである。

【0002】

【従来の技術】近年、表示技法の進歩に伴い、これまで表示装置の主力であったCRT(陰極線管)に代わり、液晶ディスプレイやPDP(プラズマディスプレイ)、EL(エレクトロルミネッセンス)ディスプレイなどの薄型表示装置が急速に普及し始めている。

【0003】また、表示装置の性能についても、PC(いわゆるパソコン)やDVD(デジタルビデオディスク)、更にはデジタルテレビジョン放送などの普及に伴い、高精細、且つ高階調数の表示が必須となってきた。

【0004】ところで、このような表示装置の高性能化、特に高精細化については、今後も大きな要求が続くものと考えられているが、現行の表示方法や駆動方式では、配線遅延や各画素へのアナログ階調値書き込み時間の不足、走査周波数数の増大などにより、更なる高精細表示に伴う表示周波数の増大に対応するのが困難となりつつある。

【0005】ここで、次の文献によれば、液晶ディスプレイなどのホールド発光型表示装置には、動画表示時の画質劣化に問題があることが指摘されている。

【0006】“電気通信学会技術報告EID96-4” pp.19-26(1996-06)

この文献では、上記した画質劣化について、ホールド発

光している動画像と人間の動画追従視による視線移動の不一致により動画像にぼやけが発生し、これが原因であると説明している。

【0007】一方、この文献には、上記の指摘と共に、このような画質の劣化の防止には、フレーム周波数を $n$ 倍速化する方法が有効である点についても記載しているが、この記載は、つまるところ、液晶ディスプレイなどのホールド発光型表示装置で動画像を鮮明に映し出すためには、表示周波数を速くする必要があることを意味する。

【0008】しかし、既に説明したように、現行の表示装置における画像の表示方法や駆動方式のもとでは、表示周波数の増大はほぼ限界に達しており、従って、このことからすれば、上記の方法は実現が困難である。

【0009】ここで、以上のような表示周波数の増大に対応し、画像を高速に書換えて表示できる表示方法の従来技術として、例えば特開平11-75144号公報では、以下に説明する表示方法について開示している。

【0010】すなわち、この表示方法では、光学変調素子を含む各画素毎に、2個のメモリと、このメモリの内容に従って画素を駆動する2種の手段を備え、予め表示する画像を構成する全画素について画素内の第1のメモリにデータを書き込み、その後、全画素一斉に第1のメモリから第2のメモリにデータ転送し、第2のメモリのデータに従って各画素での光のオン・オフを高速で制御し、PWM(パルス幅変調)制御することにより多階調の画像を表示するのである。

【0011】

【発明が解決しようとする課題】上記従来技術は、各画素に高速の光学変調素子を要する点について配慮がされておらず、多階調表示性能に問題があった。

【0012】すなわち、従来技術による表示方法は、PWM制御により多階調表示を得るようにしているため、各画素に使用されている光学変調素子に高い応答速度が要求されてしまうのである。

【0013】また、従来技術では、光学変調素子に強誘電性液晶や反強誘電性液晶などを用いているが、これらの液晶は配向制御やギャップ調整などの製造プロセスが難しく、静電容量が比較的大きいので、駆動制御が難しい。

【0014】しかも、PWM制御では、1フレーム中の全期間にわたって飽和輝度出力(=全白表示)状態にすることができないので、光利用効率や発光時間効率に限界があり、階調表示の最大値が高くできない。

【0015】本発明の目的は、応答速度がかなり遅い光学変調素子でも表示周波数の増大に充分に対応でき、画像を高速で書換えて表示することができるようにした表示装置を提供することにある。

【0016】応答速度が遅くても良ければ、使用可能な光学変調素子の種類が増え、例えばTN系やIPS系の

液晶など、量産プロセス制御や駆動制御が容易な素子も使用できるようになる。

【0017】また、本発明の他の目的は、光利用効率や発光時間効率の向上を充分に図ることができ、明るくて高性能の表示装置を提供することにある。

【0018】

【課題を解決するための手段】上記目的は、各画素の光学変調素子に対する表示データのマッピングと階調情報の付与を分離して実行する方式の表示装置において、1フレームの表示期間を複数のサブフレーム期間に分割し、前記光学変調素子に対する入力値を前記複数のサブフレーム期間毎に独立して制御することにより、前記光学変調素子による階調表示が得られるようにして達成される。

【0019】この結果、本発明によれば、光学変調素子として、例えば応答速度が遅い(5ミリ秒以上)液晶を用いることができるようになる。

【0020】このときの各画素における表示データのマッピングと輝度階調変調方法としては、略直交する2本の信号配線とその交点に配置された第1のアクティブ素子により表示データを各画素の第1のメモリにマッピングし、その後、各画素内の第2のアクティブ素子により第1のメモリにマッピングされた表示データを第2のメモリに転送し、転送された表示データに従って、第3のアクティブ素子が光学変調素子の輝度階調を変調するようにしても良い。

【0021】或いは、各画素に1段ずつ内蔵されているシフトレジスタにより表示データを各画素の第1のメモリにマッピングし、その後、各画素内の第1のアクティブ素子により第1のメモリにマッピングされた表示データを第2のメモリに転送し、転送された表示データに従って、第2のアクティブ素子が光学変調素子の輝度階調を変調するようにしても良い。

【0022】ここで、1フレームにおける多階調の表示方法としては、表示すべき階調数が概2の $n$ 乗である画像を表示する場合において、1画面を表示する期間である1フレーム期間を $n$ 個の等時間のサブフレームに分割し、各サブフレームにおける各画素は予めマッピングされた表示データに従って点灯もしくは非点灯状態に選択され、各サブフレームにおける点灯すべき画素の輝度階調に対する入力値はお互いに異なっているようにしても良い。

【0023】また、階調数が概2の $n$ 乗である画像を表示する場合において、1画面を表示する期間である1フレーム期間を $n$ 個以下の等時間のサブフレームに分割し、各サブフレームにおける各画素は予めマッピングされた表示データに従って前サブフレームの輝度階調に対する入力値を保持するか、新規に入力値を印加されるかを選択されており、各サブフレームにおいて新規に印加される輝度階調に対する入力値はお互いに異なるように

しても良い。

【0024】更に、時間的に前のフレーム若しくはサブフレームにおける画素の情報を利用して表示する場合には、各サブフレームにおいて新規に印加される輝度階調に対する入力値は、表示すべき画像の階調情報を検出し、その結果に従って調整されてもよく、また、表示すべき画像の階調数を検出し、その結果に従って1フレーム期間におけるサブフレーム数を調節するようにしても良い。

【0025】

【発明の実施の形態】以下、本発明による表示装置について、図示の実施の形態により詳細に説明する。

【0026】[実施形態1] まず、本発明による表示装置の実施形態1について、図2の回路図により説明する。

【0027】図2に示されているように、この実施形態1による表示装置は、走査配線101と制御信号線103、印加電圧配線104、それに共通配線105を行方向に、データ信号配線102を列方向にして、マトリクス状に配置した配線の交点に、それぞれ画素を配置して構成されている。

【0028】ここで、各画素は、それぞれ第1のアクティブ素子106と第1の画素メモリ107、第2のアクティブ素子108、第2の画素メモリ109、第3のアクティブ素子110、それに光学変調素子111とで構成され、更に、この光学変調素子111は、液晶112と保持容量113で構成されている。

【0029】第1のアクティブ素子106のゲート端子は走査配線101に接続され、これにより、第1のアクティブ素子106は、走査配線101に選択電圧が与えられるとオンし、このときのデータ信号配線102の電位を第1の画素メモリ107に書き込む。

【0030】続いて、制御信号配線103に選択電圧が与えられると、これにより、第1の画素メモリ107と第2の画素メモリ109の間に配置されている第2のアクティブ素子108が導通状態となり、第1の画素メモリ107の電位が第2の画素メモリ109に転送される。

【0031】この第2の画素メモリ109は第3のアクティブ素子110のゲート端子に接続されているので、第2の画素メモリ109に転送された電位により第3のアクティブ素子110が制御され、光学変調素子111に印加電圧配線104の電圧を印加するようになっている。

【0032】ここまでは、従来の光学変調素子に対する表示データのマッピングと階調情報の付与を分離して実行する方式の表示装置とほぼ同等の動作であるが、この実施形態では、光学変調素子111として、TN(ツイステッド・ネマチック)系の液晶112を使用し、第3のアクティブ素子110は、この液晶112と保持容量

113に、印加電圧配線104の電圧を書き込むようになっている。

【0033】そして、液晶112は、印加電圧配線104から書き込まれた電圧に応じてセル内の液晶軸の配向状態を変化させ、光の偏光方向を制御することにより、画素輝度を変調させるようになっている。

【0034】次に、この実施形態1による表示装置の駆動と表示動作について、図1により説明する。

【0035】まず、この実施形態1では、1フレーム期間220、つまり1枚の画面表示期間を、例えばR(赤)、G(緑)、B(青)などの各色毎の画素(サブ画素という)における階調ビット数 $n$ と同数のサブフレーム221に分割する。ここでは、サブ画素の階調が4ビットで制御されるようになっているので、 $n=4$ となり、1フレームを4個のサブフレームに分割してある。

【0036】そして、走査配線101は、各サブフレーム221において、表示画面の片側から順次選択され、1サブフレーム期間内で走査を終了する。つまり、1本の走査配線101に印加される電圧201としては、1サブフレーム期間内に1度だけ選択され、電圧が印加される。なお、この図1では、サブフレームが最初のサブフレーム221だけが記載されている。

【0037】そこで、この走査配線101に印加された選択電圧により第1のアクティブ素子106が導通状態となるので、ここで、第1の画素メモリ107の電圧207は、データ信号配線102に印加されている電圧202と等しくなり、この結果として、表示画面の全画素の第1の画素メモリ107に表示データがマッピングされることになる。

【0038】このとき、マッピングのための表示データは、選択/非選択の2値をとる信号に過ぎないので、配線遅延を考慮しても、極めて短期間でマッピングでき、このため、 $n$ 分割したサブフレーム内でも十分なデータのマッピングが容易に得られることになる。なお、1フレーム期間は、高速表示の場合、例えばNTSC方式と同じく $1/60$ 秒(=約16.6m秒)である。

【0039】このようにして、表示データをマッピングした後、制御信号配線103にデータ転送電圧203が印加され、これにより、第1の画素メモリ107の電圧207が第2の画素メモリ109の電位209に転送され、次のサブフレーム期間保持される。

【0040】そして、この第2の画素メモリ109の電位209により第3のアクティブ素子110の導通状態が制御され、印加電圧配線104に印加されているアナログ階調値の電圧204が液晶112に印加されるか否かが決定される。

【0041】ここで、この実施形態の場合、光学変調素子111に対するアナログ階調値の書き込み時間はサブフレーム期間と同等になっているので、書き込み時間が十分に確保でき、容易に書き込むことができる。

【0042】また、この実施形態では、光学変調素子111に対するアナログ階調値の書き込みと表示データのマッピングが分離されているので、各サブフレーム期間の間に非表示期間が無く、しかも高速で画像の書き換えが可能になる。

【0043】ここで、図1の場合、第1サブフレームと第3サブフレームにおいて第2の画素メモリ109の電圧209が選択状態になっているので、このとき印加電圧配線104の電圧204が液晶印加電圧212となっている。

【0044】ここで、図示のように、各サブフレーム期間では、その最後の時点で印加電圧配線104に液晶印加電圧クリアパルス213が印加されている。そして、この液晶印加電圧クリアパルスは、図示されていないが、共通配線105にも同様に印加されている。

【0045】従って、このクリアパルス213により第3のアクティブ素子110が導通状態となり、この結果、各サブフレーム期間の終了時点毎に液晶印加電圧212がクリアされ、従って、第2の画素メモリ109が非選択状態にあるサブフレームでは、液晶112には電圧が印加されないことになる。

【0046】以上のようにして、この実施形態1では、液晶112に液晶印加電圧212を印加するか否かがサブフレーム毎に制御されるわけであるが、この液晶印加電圧212の値はサブフレーム毎に独立し、異なった値をとることができるようになっている。

【0047】そして、この液晶印加電圧212の値は液晶に印加されたとき、輝度変調される1フレーム内で最も低い輝度値、つまり階調の一番低いときの輝度値を与える電圧値 $E$ を基準にして、この電圧値 $E$ から順に、その2の整数乗倍した電圧、すなわち電圧値 $2E$ ( $2=2^1$ )、電圧値 $4E$ ( $4=2^2$ )、電圧値 $8E$ ( $8=2^3$ )、…、電圧値 $2^{(n-1)}E$ ( $n$ はサブフレーム数=階調ビット数)になるように設定してあり、これが、この実施形態1の特徴の一である。

【0048】ここで、図1は、 $n=4$ 、つまり階調数が16(=2<sup>4</sup>)の場合であり、従って第4サブフレーム期間に1フレーム内で最も低い輝度値となるような電圧 $E$ が印加電圧配線104に印加され、第3サブフレーム期間では電圧 $2E$ が、第2、第1サブフレームでは、各々電圧 $4E$ 、電圧 $8E$ がそれぞれ印加されるようになっている。

【0049】そして、輝度が印加電圧に比例するものとした上で、電圧値 $E$ のときの輝度値を $L$ とすれば、電圧値 $2E$ では輝度値 $2L$ になり、以下、同様に電圧値 $4E$ では輝度値 $4L$ 、電圧値 $8E$ では輝度値 $8L$ 、そして電圧値 $2^{(n-1)}E$ では、輝度値は $2^{(n-1)}L$ になる。

【0050】なお、液晶は光の透過量を制御する素子で、厳密に言えば、輝度を制御するものではないが、画素の表示という見地では同じなので、ここでは、輝度値

が制御されるものとして説明する。

【0051】図1の場合、第2画素メモリ109の電圧209が第1サブフレーム期間と第3サブフレーム期間でハイレベルになっており、従って、このときは、第1サブフレーム期間では液晶112は輝度値8Lになり、第3サブフレーム期間では輝度値2Lになり、この結果、このフレーム期間では、光学変調素子111による階調表示は10/16となる。

【0052】そして、この実施形態1では、液晶112として、上記したようにTN系の液晶が用いられているが、このとき、TN系の中でも、応答時間が、例えば5m秒程度と比較的早いものが選ばれており、このため、図1のように、第1サブフレーム期間と第3サブフレーム期間で液晶112に電圧が印加された場合には、画素輝度214は、実線で示すように、第1サブフレームの後にピークを持ち、その後、低下してゆく緩やかな輝度表示特性になる。

【0053】ここで、この図1は、第1サブフレームと第3サブフレームに電圧が印加された場合で、このときは階調表示10/16となっているが、全てのサブフレームで液晶に電圧が印加された場合には、図1に破線で示してある表示特性を示し、このときが最大輝度になる。

【0054】但し、この図1の特性は、応答時間が5m秒程度のTN系液晶を用いた場合であり、応答特性が更に遅い液晶を用いた場合は、1フレーム内での輝度変化は更に緩やかになり、1フレーム内で液晶に印加された電圧の実効値に対応した画素輝度がフレーム間にまたがって変化するような特性になる。

【0055】従って、この実施形態の場合、電圧を印加すべきサブフレームの組合わせにより、16種類の階調表示が得られることになる。

【0056】つまり、この実施形態では、1フレーム期間220を複数のサブフレーム期間221に分割し、これら複数のサブフレーム期間毎に独立した電圧を光学変調素子111に印加することにより、階調表示が得られるようにしたものであり、以下、ここでは、この多階調の表示方法について、サブフレーム輝度階調変調方法と呼ぶ。

【0057】従って、この実施形態によれば、光学変調素子111の液晶112が高周波でスイッチング制御されないで、PWMによる従来技術とは異なり、表示周波数が高く、しかも階調数が多い表示装置でも、強誘電液晶や反強誘電液晶などの製造プロセスや駆動方法が難しい液晶材料を用いる必要が無く、現在、通常の液晶表示装置で使用されているTN系やIPS(イン・プレーン・スイッチング)系の液晶をそのまま用いて実施することができる。

【0058】図3は、上記実施形態1による表示装置の全体構成を示した図である。

【0059】液晶表示部303は、図2に示した画素がマトリクス状に配置されている部分であり、その左側部に側部配線駆動回路301が配置され、上部には上側配線駆動回路302が配置されている。

【0060】そして、図2に示されているように、走査配線101と制御信号配線103、液晶印加電圧配線104及び共通配線105は横方向(行方向)に配置してあるので、側部配線駆動回路301によって駆動され、データ信号配線102は縦方向(列方向)に配置されているので、上部配線駆動回路302によって駆動されるようになっている。

【0061】但し、走査配線101とデータ信号配線102を除く他の配線は、横方向でなく、縦方向に配置しても良く、走査配線とデータ信号配線を逆にして横方向にデータ信号配線を配置し、縦方向に走査配線を配置しても良い。さらに側部配線駆動回路301は液晶表示部303の右側にあっても良く、上側配線駆動回路302は液晶表示部303の下側にあっても良い。

【0062】ここで、この実施形態では、画像データを受け取った後、それを本発明の駆動方法に必要な画像データに変換したり、配線駆動回路にタイミング信号や画像データ信号を転送したりする表示用コントローラ304が、表示装置に内蔵されている。

【0063】このとき、画像データは、通常、図4に、画像データ入力として示してあるように、画面を構成する画素(i, j)の色データと階調データが並列に入力されてくる。

【0064】そこで、表示用コントローラ304では、図4に示すように、入力されてきた画像データを一旦、メモリに保存し、データ変換して階調データビット毎に全画素の画像データを出力するようになっている。

【0065】なお、この実施形態では、通常の画像データを受け取った後、表示コントローラ304内で画像データを変換しているが、画像データの供給源が、図4の画像データ出力に示してある画像データを供給できるものであった場合は、表示コントローラ304のデータ変換部は不要である。

【0066】以上のように、この第1実施形態によれば、フレーム期間を複数のサブフレーム期間に分割し、光学変調素子に印加すべき輝度制御用の電圧を、これら複数の各サブフレーム期間で独立した電圧値に制御するという、サブフレーム輝度階調変調方法を用いて階調表示が得られるようにしたので、応答速度が比較的遅いTN系やIPS系の液晶を用いても、高速表示の表示装置を容易に得ることができる。

【0067】そして、この結果、この実施形態によれば、使用可能な光学変調素子の種類が多くなるので、設計に余裕が増し、製造が容易になる上、この実施形態のように、TN系の液晶を使用した場合には、量産プロセスや駆動制御が容易になり、コスト面で大きく優位に

たつことができるなどの効果を得ることができる。

【0068】〔実施形態2〕次に、本発明の実施形態2について、説明する。

【0069】まず、この実施形態2でも、図5に示す駆動動作以外は、上記した実施形態1と同じで、走査配線101やデータ信号配線102、制御信号配線103、それにアクティブ素子106、108、画素メモリ107、109の駆動方法などは何れも同じである。

【0070】また、印加電圧配線104に印加されている電圧204が、各サブフレーム毎に、輝度が1倍、2倍、2の2乗倍、……、2の(n-1)乗倍となるような電圧値にしてある点も実施形態1と同じであるが、しかし、この実施形態2では、これら各サブフレーム毎に印加している電圧値の全てのサブフレーム期間(=1フレーム期間)における実効値が、液晶112を飽和輝度出力させる電圧値と等しくなるように設定されている点が、実施形態1と異なっている。

【0071】そして、この実施形態2では、光学変調素子111として、応答時間が20m秒程度を示すTN系材料の液晶112が用いてあり、このため、各画素における輝度値は、1フレーム期間(=約16.6m秒)内の電圧の実効値に相当することになり、この結果、図5に示すように、全白に対応する階調表示を出力した場合には、実線の画素輝度214に示すように、1フレーム期間を通して飽和輝度出力による表示が得られることになる。

【0072】なお、この実施形態2に、実施形態1と同じく、応答時間が5m秒程度の液晶を適用しても良い。

【0073】この場合、その階調特性は、図5の画素輝度214に破線で示してある特性になるが、それでも、実施形態1と比較して、遜色ない高い画素輝度出力が得られていることが判る。

【0074】従って、この実施形態2でも、多階調の表示方法として、サブフレーム輝度階調変調を用い、1フレーム期間における実効入力値(実効電圧値)を飽和輝度の表示に対応した入力値(電圧値)と等しくさせてあるため、応答速度が比較的遅いTN系やIPS系の液晶のような光学変調素子が使用可能になると同時に、1フレーム期間を通して飽和輝度出力や輝度出力が得られることになり、発光効率の大きな向上が図れ、明るい表示を容易に得ることができる。

【0075】〔実施形態3〕次に、本発明の実施形態3について、説明する。

【0076】まず、この実施形態3でも、図6に示してある駆動動作以外は、実施形態1と同じで、走査配線101やデータ信号配線102、制御信号配線103、それにアクティブ素子106、108、画素メモリ107、109の駆動方法などは何れも同じである。

【0077】しかし、この実施形態3では、まず、各サブフレームの最後にあった液晶印加電圧クリアパルス2

13が、1フレーム期間の最後で1回だけ、印加されるようになっている点で実施形態1とは異なっており、且つ、各サブフレーム毎に印加電圧配線104に印加されている電圧が、単に輝度が1倍、2倍、2の2乗倍、2の3乗倍、……、2の(n-1)乗倍となるような電圧値にはしていない点でも、実施形態1とは異なっている。

【0078】そして、この結果、まず、この実施形態3では、液晶印加電圧クリアパルス213が各サブフレーム毎に印加されないため、各サブフレームにおいて印加電圧配線104からの電圧が書き込まれない画素にある液晶112に印加される電圧は、前回のフレーム期間で、このサブフレームに印加された電圧に保持されることになる。

【0079】この場合、走査配線101とデータ信号配線102により第1の画素メモリ107にマッピングされる表示データは、次のサブフレームにおける液晶印加電圧212として、現サブフレームの電圧を保持するか、新たに印加電圧配線104に印加されている電圧を書き込むかを選択するためのデータとなる。

【0080】このように、各サブフレームでは、前のサブフレーム期間の液晶印加電圧を維持するか、若しくは新たな電圧の書き込みになるかの、何れかを選択するという動作によって輝度階調変調を実現し、階調表示が得られるようにしたのが、この実施形態3の特徴である。

【0081】ここで、図6の実施形態3の場合は、第2サブフレームと第4サブフレームで第2の画素メモリ109が選択状態になっているので、これらのサブフレームでは、液晶112に印加電圧配線103の電圧204が書き込まれているが、第1と第3のサブフレームでは、それぞれの前のサブフレームの液晶印加電圧212がそのまま保持されている。

【0082】このとき、第1サブフレームでは、その直前のフレーム期間の最後で液晶印加電圧クリアパルス213により液晶印加電圧212がクリアされており、従ってここで前回の電圧を保持するということは、クリア状態を保持することと等価である。

【0083】次に、この実施形態3では、図6に示すように、印加電圧配線104に印加される電圧204が、第1サブフレームでは飽和輝度出力に対応した電圧値 $V_{LC1}$ になり、そこから次のサブフレーム毎に、順次段階的に電圧値が低下されてゆく電圧値 $V_{LC2}$ 、 $V_{LC3}$ 、 $V_{LC4}$ になるように構成してある。

【0084】従って、この場合は、1フレーム内の各サブフレーム間には液晶印加電圧クリアパルスが無いので、液晶印加電圧212にフレーム期間を通して飽和輝度出力を示す電圧を液晶112に印加することができ、この結果、図6に破線で示してある画素輝度214が得られ、使用されている液晶の応答時間を問わず、1フレーム期間を通して飽和輝度を出力させることができる。

【0085】以上のように、この実施形態3によれば、



多階調の表示方法として、前サブフレームの液晶印加電圧を保持するか、若しくは新規に電圧を印加するかを選択するサブフレーム輝度階調変調を用いているため、応答速度が比較的遅いTN系やIPS系の液晶のような光学変調素子でも使用できると共に、1フレーム期間を通して同時に飽和輝度出力が得られることになり、十分に明るい表示が可能である。

【0086】[実施形態4] 次に、本発明の実施形態4について説明する。

【0087】ここで、以上の実施形態では、光学変調素子111として、TN系やIPS系の液晶112を用いた場合の実施形態であるが、この実施形態4は、図7に示すように、光学変調素子111として、有機EL素子115と、この有機EL素子115に供給される電流を制御するための電流制御アクティブ素子114と、この電流制御アクティブ素子114のゲート端子に接続され、電圧を保持するための保持容量113を用いたもので、これにより、発光素子である有機EL素子を液晶と同じような電圧制御型光学変調素子として使用できるようにしたものである。

【0088】また、このため、有機EL素子115に電流を供給するための配線として、電流供給配線116が設けられているが、これら以外の構成は上記した実施形態1〜3と同じであり、従って、この実施形態4は、図2に示した光学変調素子111を、図8に示した光学変調素子111に置換えたものに相当し、このため、実施形態1〜3のそれぞれと様の駆動状態で使用することができる。

【0089】従って、例えば、この実施形態4による多階調の表示方法として、実施形態3で説明した方法を適用してやることにより、前サブフレームの有機EL制御電圧を保持するか若しくは新規に電圧を印加するかを選択によるサブフレーム輝度階調変調で動作させることができ、有機EL素子を光学変調素子として用いた場合でも、1フレーム期間を通しての飽和輝度出力が得られ、明るい表示が可能である。

【0090】[実施形態5] 次に、本発明の実施形態5について説明する。

【0091】この実施形態5は、図3における液晶表示部303の各画素として、図8に示す回路構成のものをを用いたもので、その他の構成は、実施形態1〜3と同じであり、ここで、この実施形態5の場合、図8に示すように、各画素内には、シフトクロック131と逆極性シフトクロック132によってシフトされる1段のシフトレジスタ136が設けてあり、これは、クロックに従ってシフトデータ133を縦方向に転送する機能を持っているものである。

【0092】そして、このシフトレジスタ136に保持されたシフトデータ133は、制御信号配線134を選択して第1のアクティブ素子137を導通状態にするこ

とにより画素メモリ138に転送されるが、この画素メモリ138は第2のアクティブ素子139のゲート端子に接続されている。

【0093】従って、この画素メモリ138に転送された電位により第2のアクティブ素子139が制御され、電圧配線135の電圧が光学変調素子111に印加されるようになっている。

【0094】なお、この実施形態5では、光学変調素子111が、実施形態1〜3と同じく液晶であるが、実施形態4のように、有機EL素子としてもよい。

【0095】次に、この実施形態5による表示装置の駆動状態を図9により説明する。

【0096】この実施形態5でも、1フレーム期間220を各サブ画素における階調ビット数分のサブフレーム221に分割する点では同じであるが、この実施形態では、走査配線101とデータ信号配線102による直交マトリクスによって表示データ信号をマッピングするのではなく、縦方向の画素群で構成されているシフトレジスタ136の群により、各サブフレーム毎にシフトクロック231に同期されたシフトレジスタ信号236を用いて各サブフレーム毎に表示データ信号をマッピングするようになっている。

【0097】この図9による動作は、図6の実施形態3の場合において、データ信号配線102に印加される電圧202が、シフトレジスタ136から出力されるシフトレジスタ信号236に変わっている点を除けば、他は同じになっているので、説明は省略するが、これにより、全表示画面の画素のシフトレジスタ136に対して表示データがマッピングされることになる。

【0098】このとき、マッピングのための表示データ信号は、保持/書込みを表わす2値のデジタルデータであり、しかも、これで各画素のシフトレジスタ136が縦方向の次の画素のシフトレジスタ136を駆動するようになっているので、配線遅延が少なくて済み、この結果、極めて短期間に、高速でマッピングすることができる。

【0099】従って、この実施形態5によれば、n分割したサブフレーム期間内でも十分に表示データのマッピングが可能であり、このようにしてシフトレジスタ136により表示データをマッピングした後、制御信号配線134にデータ転送電圧234を印加することにより、シフトレジスタ信号236が画素メモリ138の電位238として転送され、次のサブフレーム期間保持される。

【0100】そして、この画素メモリ138の電位238により第2のアクティブ素子139の導通状態が制御され、この結果、印加電圧配線135に印加されている電圧235が液晶112に印加されるか、前サブフレームの電圧が保持されるかが決定されることになる。

【0101】ここで、光学変調素子111に対するアナ

ログ階調値、つまり印加電圧配線135の電圧値の書込み期間は、サブフレーム期間と同等であるので、PWMのスイッチング時間に比較して遥かに長い時間になっている。

【0102】また、光学変調素子111に対するアナログ階調値の書込みと表示データのマッピングが分離されているので、サブフレーム表示の間に非表示期間がなく、高速に画像の書き換えが可能である従って、この実施形態5によれば、以上のように、表示データのマッピング方法として各画素に内蔵したシフトレジスタを使用したマッピング方法としているため、実施形態3と比較しても更に高速のマッピングが可能であることから、表示周波数のより一層の高周波数化が可能である。

【0103】[実施形態6]次に、本発明の実施形態6について、図10により説明する。

【0104】ここで、この図10は、この実施形態6における画素の回路構成図で、実施形態1における図2に対応するものであり、この場合、実施形態1の画素回路に、データ信号配線102Aと第1のアクティブ素子106A、第1の画素メモリ107A、第1のアクティブ素子108A、第2の画素メモリ109A、第3のアクティブ素子110A、それに印加電圧配線104Aが、もう一組設けられている。

【0105】従って、この図10に示す画素の動作は、個々には実施形態1のそれとほぼ同じなので、詳細な説明は省略するが、この図における2本のデータ信号配線102、102Aに印加される入力信号電圧(図1の電圧202に相当)には、サブフレーム毎に「データ信号配線102、102Aの何れも選択しない」と、「データ信号配線102だけを選択する」、それに「データ信号配線102Aだけを選択する」の3通りの状態が存在するように構成されている。

【0106】次に、この実施形態6の動作について、図11を用いて説明する。

【0107】この図11は、画素内の一部の駆動状態を示したもので、これから明らかなように、この場合でも、1フレーム期間内におけるサブフレームの状態や走査配線101に供給される電圧201のタイミングなどは図1の実施形態1と同様であるが、この実施形態6においては、印加電圧配線104、104Aに印加される電圧204、204Aが異なっている。

【0108】すなわち、いま、図示のように、最も低い電圧値を1とすると、印加電圧配線104には、3、9、27という具合に、順に $n$ の3乗倍の値になっている電圧204が各サブフレームに印加され、印加電圧配線104Aには、その2倍の値の電圧204Aが、同じく各フレームに印加されている。

【0109】そして、各サブフレーム毎にデータ信号配線102とデータ信号配線102Aに対する電圧の使い分けを行なう。

【0110】そうすると、各サブフレームで交互に、或いは順次、印加電圧配線104と印加電圧配線104Aが選択され、切換えられることになり、この結果、光学変調素子111に印加される電圧が、0から80までの81種の異なった値に制御される。

【0111】従って、この実施形態6によれば、以上の構成と動作により、結果的に3進数による階調表示が得られることになり、この結果、2進数による階調表示制御であった実施形態1の場合、4サブフレームで16階調表示が得られているのに比較して、この実施形態6によれば、同じ4サブフレームで、81階調にわたる表示が得られることになっている。

【0112】ここで、この実施形態6では、印加電圧配線が102と102Aの2本になるように構成してあるが、これを3本以上になるように構成することもでき、この場合には更に多くの多階調表示が得られることになる。

【0113】しかも、この実施形態6の駆動方法は、上記した実施形態1～実施形態5の何れの駆動方法との組み合わせが可能であるのは言うまでもない。

【0114】[実施形態7]次に、本発明の実施形態7について説明する。

【0115】ここで、上記した実施形態3～5による駆動方法、すなわち前サブフレームの液晶印加電圧を保持するか、若しくは新規に電圧を印加するかを選択するサブフレーム輝度階調変調方法を用いた場合、入力された画像データに対して正確な階調制御が必ずしも保証される訳ではない。

【0116】そこで、この実施形態7では、上記した実施形態4を前提とした上で、表示すべき画像の階調ヒストグラムを検出し、この検出結果に応じて、1フレーム毎に、各サブフレーム期間で印加電圧配線104に印加される電圧値204を調整し、これにより入力された画像データに対して正確な階調制御が得られるようにしたものである。

【0117】つまり、この実施形態7では、例えば表示すべき画像の階調ヒストグラムにおいて、階調ビット数が高い部分にピークを持つような白っぽい画像を表示する場合には、高階調部が細かく表示できるように、高階調を示す電圧値付近の電圧を細かく印加できるようサブフレーム毎の電圧を調整するのである。

【0118】電圧無印加時に黒表示をする液晶を光学変調素子として使用した場合の、この実施形態7による具体的な電圧調整方法としては、図9において、電圧値 $V_{LC1}$ を白表示飽和輝度出力の電圧値として、他の電圧値 $V_{LC2}$ 、 $V_{LC3}$ 、 $V_{LC4}$ をそれぞれ高い電圧値にシフトさせるように調整することになる。

【0119】そして、この実施形態7では、このように表示すべき画像の階調情報を検出して、その結果に従って印加電圧等を調整するため、図3に示されている表示

コントローラ304に代えて、図12に示すように、階調検出と階調電圧制御、データ変換などの機能が組込まれた拡張表示コントローラ305を用いるようになっていく。

【0120】図13は、拡張表示コントローラ305のブロック図で、ここでは、まず、画像データは階調ヒストグラム検出回路311に入力され、ここで逐次、階調情報が検出された後、メモリ312に格納されるようになっている。

【0121】なお、この図13の構成は、拡張表示コントローラ305を除けば、図3の構成と同じであるので、拡張表示コントローラ305以外の説明については割愛する。

【0122】階調ヒストグラム検出回路311は、1画面分の画像データの階調情報を検出した後、それらの情報をまとめて1画面の階調ヒストグラムとしてコントローラ313に出力する。

【0123】そこで、このコントローラ313は、この1画面の階調ヒストグラムに基づいて各サブフレーム毎の印加電圧を決定し、液晶印加電圧発生回路316を制御して各サブフレーム毎に設定した電圧を出力する。

【0124】また、このコントローラ313は、データ変換回路314を制御し、メモリ312に格納されていた画像データを各サブフレーム毎の印加電圧に対応する画像データに変換して出力させ、同時にタイミング信号発生回路315を制御して制御信号を出力させる。

【0125】ここで、この実施形態7では、画像データのRGB各色毎に階調ヒストグラムを検出し、各サブ画素群毎に、各サブフレームに印加する電圧を制御するようになっているが、RGB各色をまとめて階調ヒストグラムを検出し、全てのサブ画素に同一の電圧をサブフレーム毎に印加するように構成してもよい。

【0126】以上のような構成により、この実施形態7によれば、多階調の表示のために、前サブフレームの液晶印加電圧を保持するか、若しくは新規に電圧を印加するかを選択するサブフレーム輝度階調変調を用いる上で、表示すべき画像の階調情報を検出し、その検出結果に基づいて各サブフレームにおける輝度階調の入力値を制御しているため、より高精度な輝度階調変調方式を実現でき、より高性能の表示装置を得ることができる。

【0127】〔実施形態8〕ところで、上記実施形態7において、表示すべき画像の階調情報を検出して各サブフレームにおける印加電圧を制御する場合、1フレーム期間における変調可能な輝度階調範囲を狭くすることにより、その範囲内においては、入力された画像データの階調数以上に輝度階調変調を高精度化することも可能になる。

【0128】しかし、この場合、入力された画像データに含まれている画像情報を越えて階調精度を高精度化しても無駄である。

【0129】例えば、各画素が24ビット(各色8ビット)の階調表示で、 $1024 \times 768$ 画素の表示装置の場合、約1600万種類の色が表示できることになるが、画素数は約80万画素しかないのであるから、全ての画素で、たとえ異なる色が表示されたとしても、階調範囲としては20分の1の領域しか使用していないことになる。

【0130】従って、その分、階調数を増やすための要素であるサブフレーム数を減らし、原画像程度の階調精度にしてやれば良い。

【0131】実際には1画面で表示されている色数は更に少なく、しかも相関を持っているので、表現すべき階調範囲は更に限られてしまうことになり、この場合、サブフレームの数が例えば8であったとしても、それ以下の7や6にしても良いことになる。

【0132】また、実施形態7においては、表示すべき画像から、その階調情報を検出した結果、本来の階調ビット数よりも少ないビット数でも十分に表示が可能な場合がある。これは、例えば、各色4ビットの画像入力がある表示装置に、文字情報だけを表示するため、白黒2値(=1ビット)の画像データを入力した場合などである。

【0133】このような場合、サブフレーム数を、実施形態7のように、4のままとするのは無駄であり、この場合、サブフレーム数は1とすることができる。

【0134】そこで、この実施形態8は、拡張表示コントローラ305の階調ヒストグラム検出回路311により1画面の階調ヒストグラムを検出し、この検出結果に基づいてコントローラ313を制御し、1フレーム毎にサブフレームの個数を決定した上で、各サブフレームにおいて印加すべき電圧を決定するように構成したものである。

【0135】ここで、この実施形態8でも、この拡張表示コントローラ305を除けば、他の構成と動作については上記した実施形態7と同じなので、拡張表示コントローラ305以外の説明については割愛する。

【0136】従って、上記の構成の結果、この実施形態8では、サブフレームの個数による表示モードを切り換えることができるようにした点が特徴であるといえることができる。

【0137】次に、この実施形態8における画素の駆動状態について、図14により説明すると、この図は、通常は、図9に示すように、4個のサブフレームによる表示モードを、或る時点から3個のサブフレームによる表示モードに切り換えた場合を示したもので、この3個のサブフレームによる表示モードの場合、画素電圧212は、図示のように、第2サブフレームで電圧 $V_{CL2}$ が印加され、第3サブフレーム期間を通じてこの電圧に保持されていることが判る。

【0138】この実施形態8によれば、画像データに応

じてサブフレームの個数が制御されるようになっているので、1フレーム当りの平均的なサブフレーム数を削減することができ、この結果、表示周波数のより一層の高周波数化に容易に対応することができる。

【0139】まとめると、この実施形態8では、多階調の表示方法として、保持若しくは新規電圧印加の選択をするサブフレーム輝度階調変調を用いた上で、表示すべき画像の階調情報を検出し、その検出結果に基づいて1フレームにおけるサブフレーム数と各サブフレームにおける輝度階調の入力値を制御しているため、より表示周波数の高周波数化に対応が可能となる。

【0140】〔実施形態9〕次に、本発明の実施形態9について説明する。

【0141】ここで、上記した実施形態8による駆動方法は、端的に言えば、表示階調数が少ないときはサブフレーム数を減らす方法であるが、この実施形態9では、この実施形態8を前提とした上で、外部から供給される表示階調数制御信号によりサブフレーム数が制御でき、必要に応じてサブフレームの個数が減らせるようにしたものである。

【0142】そこで、この実施形態9では、図15に示すように、上記した表示階調数制御信号317が拡張表示コントローラ305に入力されるように構成したものであり、従って、これ以外の構成と動作は、実施形態8と同じであり、ここで、この表示階調数制御信号317は、表示すべき画像の階調数を、入力されてくる元の画像の階調数とは異なる階調数に変更するための信号といえることができる。

【0143】従って、この実施形態9では、この表示階調数制御信号317を外側で制御してやれば、必要に応じて、表示される画像の階調数を、入力されてくる元の画像の階調数より少なくすることができ、この結果、1フレーム期間におけるサブフレーム数と表示周波数が低減できることになる。

【0144】この表示階調数制御信号317は、例えば、この表示装置の利用者により入力されるか否かが制御できるようにすることができ、この結果、バッテリー動作時など表示階調数を減らしても低消費電力化が必要な場合にも容易に対応することができる。

【0145】また、この表示装置を制御するシステムにより、表示装置が一定時間使用されていないと判断されたとき、拡張表示コントローラ305に表示階調数制御信号317が供給されるようにしてやれば、使用態様に応じて消費電力を抑えることができ、低消費電力化を図ることができる。

【0146】以上のように、この実施形態9では、多階調の表示方法として、保持若しくは新規電圧印加の選択をするサブフレーム輝度階調変調を用いる上で、表示すべき画像の階調情報を検出し、その検出結果に基づき1フレームにおけるサブフレーム数と各サブフレームにお

ける輝度階調の入力値を制御しているので、表示階調数を外部から制御することができ、表示階調数を調整することで低消費電力化が可能な機能を備えた高性能の表示装置を得ることができる。

【0147】更に、この実施形態9では、表示階調数制御信号317を調整することにより表示階調数を減らし、これにより、1フレーム期間の長さは変化させず、サブフレーム数だけを減らすようにしているので、1サブフレーム期間が長くでき、表示周波数を低くすることができるという機能も併せ得ることができるという効果がある。

【0148】〔実施形態10〕次に、本発明の実施形態10について説明する。

【0149】上記した実施形態9の場合、表示階調数制御信号317を調整することにより1サブフレーム期間が長くでき、この結果、表示周波数を低周波数化することができるようになっているが、この実施形態10では、反対に、表示階調数を減らしてサブフレーム数を減らしたとき、これに応じてサブフレーム期間も短くなるようにしたものである。

【0150】そして、これによりフレーム期間が短くなり、この結果、この実施形態10によれば、画面書き換え周波数(リフレッシュレート)を高くすることができるようになる。

【0151】このときの画素の駆動状態を図16に示す。

【0152】この図16は、実施形態10において、4個のサブフレームによる表示モードになっていた画像表示を3個のサブフレームによる表示モードに切替制御するようにした場合の一実施形態で、この場合、図示のように、1サブフレーム期間は表示モードが変化したときの前後で変わりがないので、その分、フレーム期間が短くなっている。

【0153】このような設定とした場合には、例えば、液晶表示装置のようなホールド発光型表示装置において、動画表示をするときには、表示階調数を制限することにより、画面書き換え周波数を高周波化することができ、動画表示性能を上げることができる。

【0154】以上のように、この実施形態10では、多階調の表示方法として、保持若しくは新規電圧印加の選択をするサブフレーム輝度階調変調を用いる上で、表示すべき画像の階調情報を検出し、その検出結果に基づき1フレームにおけるサブフレーム数と各サブフレームにおける輝度階調の入力値を制御し、表示階調数を外部から制御可能であるために、表示階調数を調整することで画面書き換え周波数を高周波数とすることが可能である。

【0155】〔実施形態11〕次に、本発明の実施形態11について説明する。

【0156】上記した実施形態9や実施形態10などに

において、表示階調数制御信号 317 により表示階調数が減らされていた場合には、当然、表示画質も低下していると考えられる。

【0157】そこで、この実施形態 11 では、拡張表示コントローラ 305 内にあるコントローラ 313 に、同じ階調を複数フレームにわたって表示する場合には、各フレーム毎に、各サブフレームにおいて新規に印加される輝度階調に対する入力値を調整することにより、数フレーム間にわたって表示される画像の階調数が調整されるような機能を持たせたものである。

【0158】この機能により、表示階調数制御信号 317 により表示階調数が減らされている場合においても、表示画質の低下を緩和することが可能になり、従って、この実施形態 11 によれば、常に高精細度の画像表示を与えることができる高性能の表示装置を容易に提供することができる。

【0159】

【発明の効果】本発明によれば、TN 系や IPS 系の液晶など、応答速度が比較的遅い光学変調素子を使用した場合でも、表示周波数を十分に高周波数化することができ、明るく高性能の表示装置を容易に、しかも低価格で提供することができる。

【図面の簡単な説明】

【図 1】本発明による表示装置の実施形態 1 における駆動状態の説明図である。

【図 2】本発明の実施形態 1 における画素の回路図である。

【図 3】本発明の実施形態 1 における表示装置全体の構成図である。

【図 4】本発明の実施形態 1 における表示コントローラ内のデータ変換の一例を示す説明図である。

【図 5】本発明の実施形態 2 における駆動状態の説明図である。

【図 6】本発明の実施形態 3 における駆動状態の説明図である。

【図 7】本発明の実施形態 4 における画素の回路図である。

【図 8】本発明の実施形態 5 における画素の回路図である。

【図 9】本発明の実施形態 5 における駆動状態の説明図である。

【図 10】本発明の実施形態 6 における画素の回路図である。

【図 11】本発明の実施形態 6 における駆動状態の説明図である。

【図 12】本発明の実施形態 7 における表示装置全体の構成図である。

【図 13】本発明の実施形態 7 における拡張表示コントローラのブロック図である。

【図 14】本発明の実施形態 8 における駆動状態の説明

図である。

【図 15】本発明の実施形態 9 における拡張表示コントローラのブロック図である。

【図 16】本発明の実施形態 10 における駆動状態の説明図である。

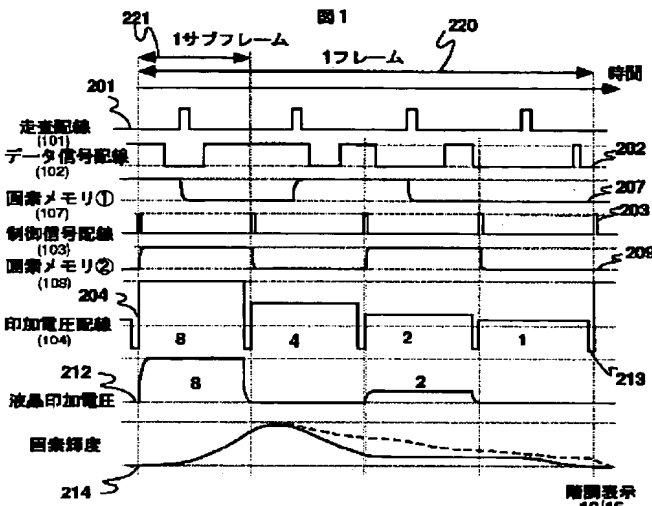
【符号の説明】

- 101 走査配線
- 102 データ信号配線
- 103 制御信号配線
- 104 印加電圧配線
- 105 共通配線
- 106 第 1 のアクティブ素子
- 107 第 1 の画素メモリ
- 108 第 2 のアクティブ素子
- 109 第 2 の画素メモリ
- 110 第 3 のアクティブ素子
- 111 光学変調素子
- 112 液晶
- 113 保持容量
- 114 電流制御アクティブ素子
- 115 有機 EL 素子
- 116 電流供給配線
- 131 シフトクロック
- 132 逆極性シフトクロック
- 133 シフトデータ
- 134 制御信号配線
- 135 印加電圧配線
- 136 シフトレジスタ
- 137 第 1 のアクティブ素子
- 138 画素メモリ
- 139 第 2 のアクティブ素子
- 201 走査配線に印加される電圧
- 202 データ信号配線に印加される電圧
- 203 データ転送電圧
- 204 印加電圧配線に印加されている電圧
- 207 第 1 の画素メモリの電圧
- 209 第 2 の画素メモリの電圧
- 212 液晶印加電圧
- 213 液晶印加電圧クリアパルス
- 214 画素輝度
- 220 1 フレーム
- 221 1 サブフレーム
- 231 シフトクロック信号
- 234 データ転送電圧
- 235 印加電圧配線に印加される電圧
- 236 シフトレジスタ信号
- 238 画素メモリの電位
- 301 側部配線駆動回路
- 302 上側配線駆動回路
- 303 液晶表示部

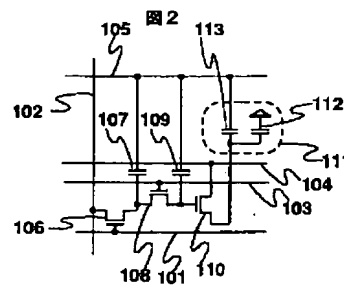
304 表示コントローラ  
 305 拡張表示コントローラ  
 311 階調ヒストグラム検出回路  
 312 メモリ  
 313 コントローラ

314 データ変換回路  
 315 タイミング信号発生回路  
 316 液晶印加電圧発生回路  
 317 表示階調数制御信号

【図1】

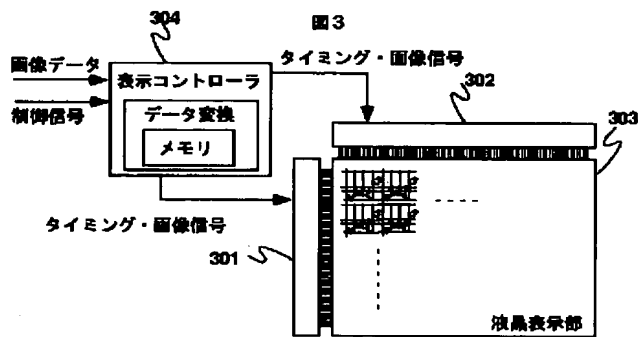


【図2】

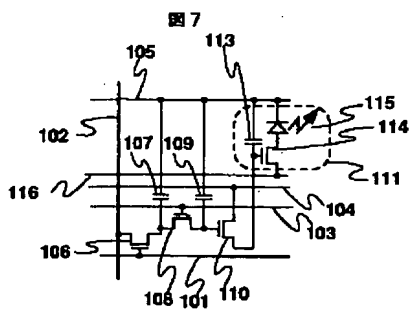


101 : 走査配線  
 102 : データ信号配線  
 103 : 制御信号配線  
 104 : 印加電圧配線  
 105 : 共通配線  
 106 : 第1のアクティブ素子  
 107 : 第1の図素メモリ  
 108 : 第2のアクティブ素子  
 109 : 第2の図素メモリ  
 110 : 第3のアクティブ素子  
 111 : 光学変調素子  
 112 : 液晶  
 113 : 保持容量

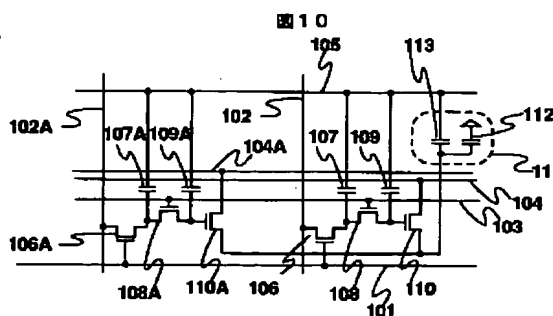
【図3】



【図7】

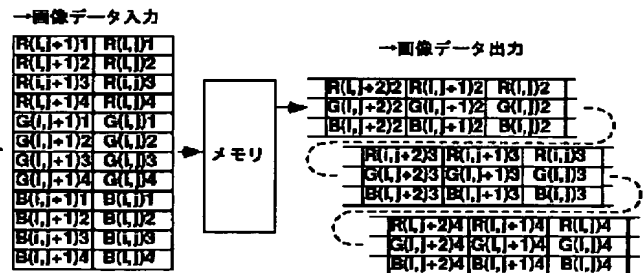


【図10】

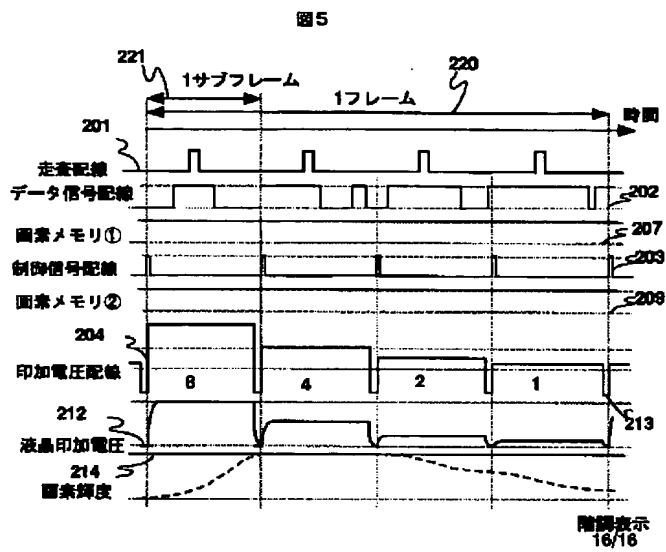


【図4】

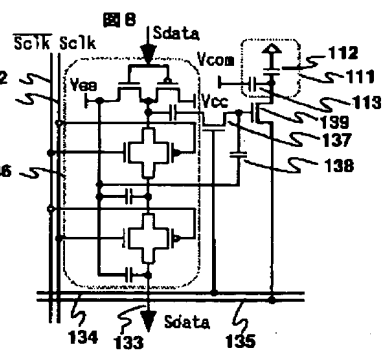
図4



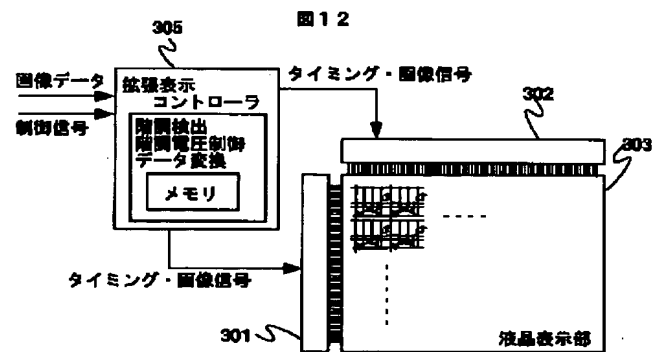
【図5】



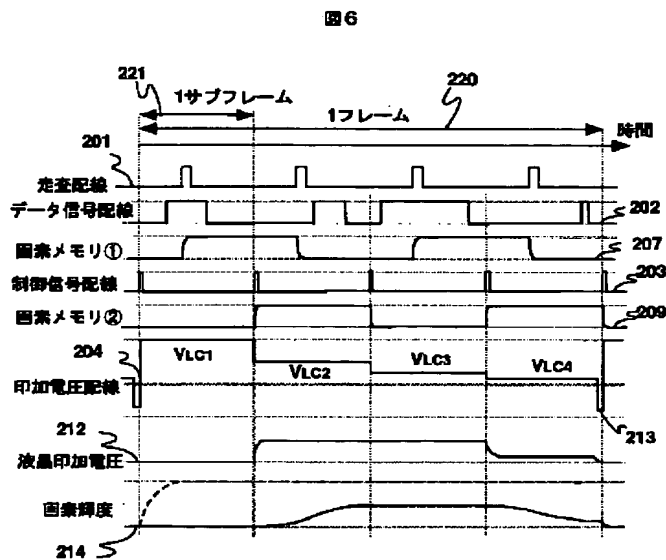
【図8】



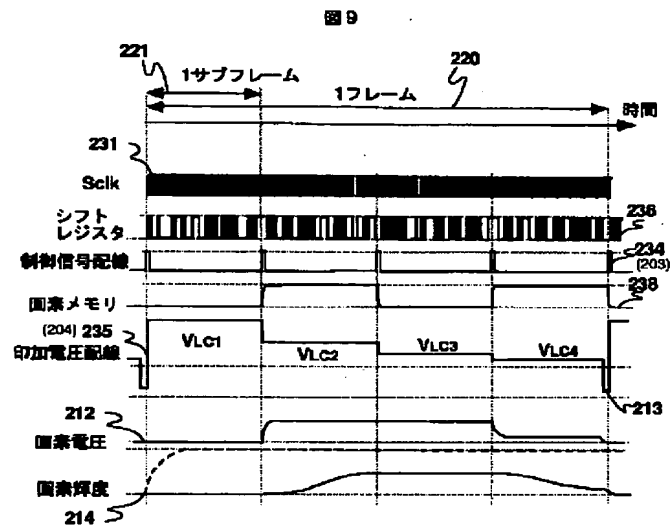
【図12】



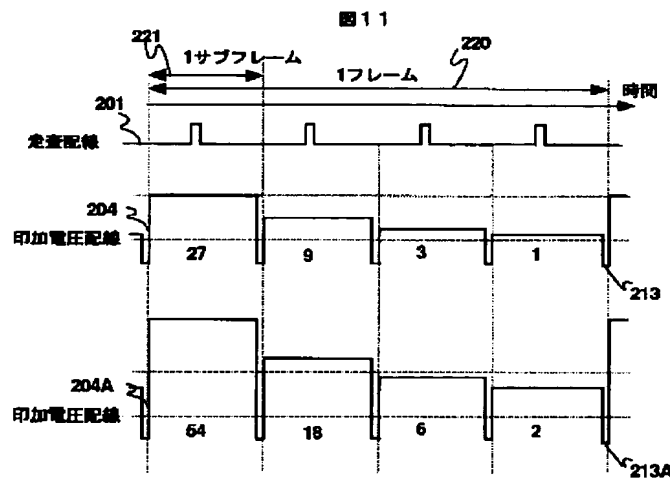
【図6】



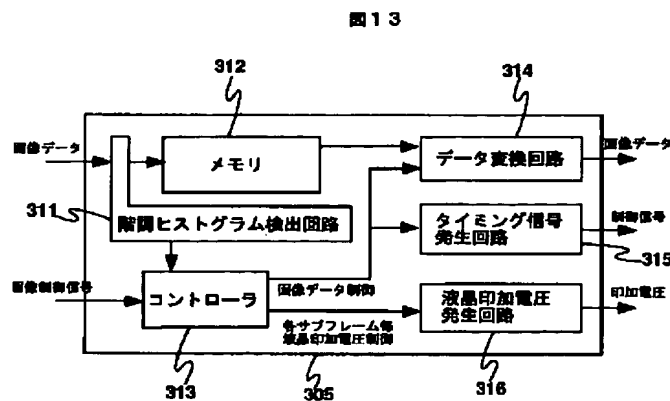
【図9】



【図11】



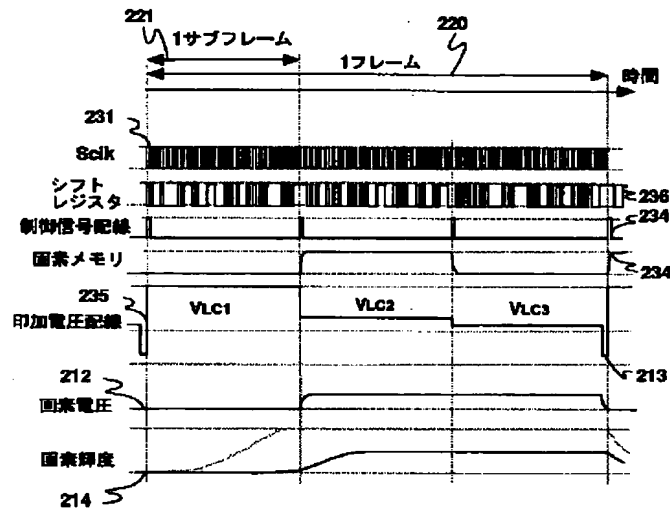
【図13】





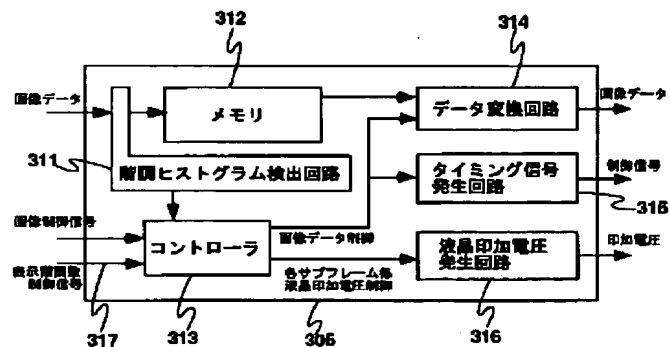
【図14】

図14



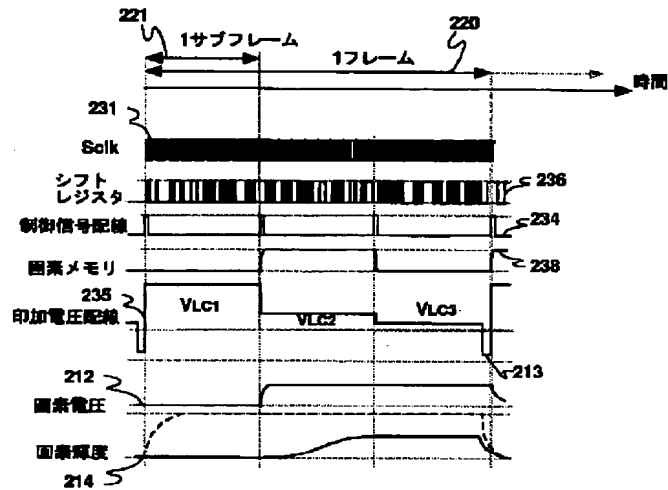
【図15】

図15



【図16】

図16



フロントページの続き

(72)発明者 小村 真一

茨城県日立市大みか町七丁目1番1号 株  
式会社日立製作所日立研究所内

(72)発明者 青山 哲也

茨城県日立市大みか町七丁目1番1号 株  
式会社日立製作所日立研究所内

(72)発明者 秋元 肇

茨城県日立市大みか町七丁目1番1号 株  
式会社日立製作所日立研究所内

(72)発明者 舟幡 一行

茨城県日立市大みか町七丁目1番1号 株  
式会社日立製作所日立研究所内

(72)発明者 桑原 和広

茨城県日立市大みか町七丁目1番1号 株  
式会社日立製作所日立研究所内

Fターム(参考) 2H093 NA52 NA55 NA57 NA59 NC22  
NC44 ND06 ND10 ND12 ND60  
5C006 AA14 AA16 AA17 AC28 AF44  
AF61 BB16 BF02 BF03 FA56  
5C080 AA10 BB05 DD07 DD08 EE29  
FF11 JJ02 JJ03 JJ04